

Docket No.: MUH-12728

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Alexandria, VA 22313 20231.

By: 

Date: September 23, 2003

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Hans Weber et al.
Appl. No. : 10/631,350
Filed : July 31, 2003
Title : Method for Forming a Channel Zone of a Transistor and PMOS Transistor

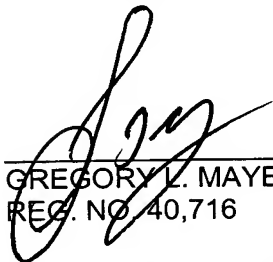
CLAIM FOR PRIORITY

Hon. Commissioner for Patents,
Alexandria, VA 22313-1450
Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 102 35 000.0 filed July 31, 2002.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,



GREGORY L. MAYBACK
REG. NO. 40,716

Date: September 23, 2003

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/mjb

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 35 000.0

Anmeldetag: 31. Juli 2002

Anmelder/Inhaber: Infineon Technologies AG, München/DE

Bezeichnung: Verfahren zur Bildung einer Kanalzone eines Transistors und PMOS-Transistor

IPC: H 01 L 21/336

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 11. Juli 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

MÜLLER · HOFFMANN & PARTNER

European Patent Attorneys – European Trademark Attorneys

Innere Wiener Strasse 17
D-81667 München

Anwaltsakte: 12169

Ko/An/gl

Anmelderzeichen: 2002P06365
(2002 E 6334 DE/2002 E 6366 DE)

31.07.2002

Infineon Technologies AG

St.-Martin-Str. 53

81669 München

Verfahren zur Bildung einer Kanalzone eines Transistors und PMOS-Transistor

Beschreibung

Verfahren zur Bildung einer Kanalzone eines Transistors und PMOS-Transistor

5

Die Erfindung befasst sich allgemein mit der Bildung einer Kanalzone unter einer Polysiliziumschicht eines Transistors. Insbesondere betrifft die Erfindung ein Verfahren zur Einstellung eines gewünschten Dotierungsverlaufs in einer P-Wannenzone einer PMOS-Feldeffekttransistorzelle, sowie ein

10

Verfahren zur Begrenzung der Kanalweite einer derartigen PMOS-Transistorzelle.

15

Für Depletion-PMOS-Feldeffekttransistorzellen ist eine P-Wannenzone mit reduzierter P-Dotierung vorteilhaft. Bei der traditionellen Herstellung derselben wird eine zusätzliche Maske dafür verwendet. Traditionellerweise wird die P-Wannenzone durch eine Implantation von Bor und anschließender Diffusion gebildet, so dass man die gewünschte Dotierung in

20

der Kanalzone des PMOS-Feldeffekttransistors erreicht. Um nun die gewünschte reduzierte P-Dotierung zu erreichen, werden herkömmlicherweise in der Maske Löcher oder Säulen gebildet, wodurch eine niedriger P-dotierte Wannenzone in der Zelle entsteht (vgl. DE 19 526 183 C1). Wenn man nur die Gate-

25

elektrode durchlöchert, bleibt die Kanalzone hoch dotiert und so kann eine p⁻-Schicht in der p-Wannenzone nicht zur Wirkung kommen.

30

Hier ergibt sich demnach der Wunsch, eine PMOS-Transistorzelle mit einer hinsichtlich ihrer p-Dotierung reduzierten p-Wannenzone ohne eine zusätzliche Maske zu ermöglichen, um in einer PMOS-Feldeffekttransistorzelle z.B. in einer Cool-MOS[®]-FET-Zelle eine niedriger dotierte P-Wanne zu erzeugen (Cool-MOS[®]: Marke der Infineon Techn. AG).

35

Die beiliegende Fig. 7 zeigt das Kennlinienfeld eines MOS-Transistors. Der Arbeitspunkt A kennzeichnet die Situation im Normalbetrieb, und die durch den Arbeitspunkt A gehende Gerade repräsentiert die inverse Kennkurve eines äußeren ohmschen Lastwiderstands. Der Strom, den der Transistor am Punkt A führt, ist für eine Gatespannung $U_{GS} = U_{GS3}$ kleiner als der Nennstrom I_{Nenn} . Kommt es zu einem Kurzschluss über den Lastwiderstand, so fällt die anliegende Zwischenkreisspannung über den Transistor ab, und die Strom-/Spannungscharakteristik wird durch den Punkt B bestimmt. Dabei steigt der Strom überproportional an, so dass der Transistor bei der Gatespannung U_{GS3} nicht kurzschlussfest ist. Aus diesem Grund muss der sichere Arbeitsbereich SOA (Bereich links von der punktierten Kurve) durch Strom oder Spannungsbegrenzung massiv eingegrenzt werden, das heißt, dass bei U_{GS3} der brauchbare Bereich durch U_{DS} deutlich kleiner ist im Vergleich mit U_{GS1} .

Bei Kompensationsbauelementen ist dieses Problem besonders kritisch, da der sehr geringe flächenspezifische Widerstand den Strom durch die Driftregion im Kurzschlussfall nicht begrenzt. Deshalb kommt es zu besonders hohen Stromdichten und einer entsprechend schnellen Erwärmung des Bauelements, was letztlich zu seiner Zerstörung führt.

Die Aufbiegung der Kennkurve nach oben, wie dies zum Beispiel auf der Verbindung A \rightarrow B zu sehen ist, wird durch die Ladungsträgervervielfachung M im Transistorvolumen verursacht. Will man bei einer gegebenen Gatespannung U_{GS3} die Kurzschlussfestigkeit des Transistors verbessern, so muss diese Vervielfachung reduziert werden. Letztlich erreicht man dies durch eine Strombegrenzung, das heißt, man strebt das Ziel an, der Gatespannung U_{GS3} (im Sättigungsbereich der Kennlinie) einen kleineren Drainstrom zuzuordnen. Das bedeutet aber, dass man die Steilheit des Transistors reduziert. Die Ladungsträgervervielfachung M ist eine Funktion der Feldstärke

und der Stromdichte. Da die Feldstärke direkt mit der anliegenden Spannung gekoppelt ist, gilt der Zusammenhang:

$$M = M(U_{DS}, I_{DS}) \quad (\text{Gleichung 1})$$

5

Durch eine Quasi-Begrenzung des Stroms I_{DS} lässt sich also der Multiplikationseffekt reduzieren. Für den Drain-Source-Strom I_{DS} ergibt sich der Zusammenhang:

$$I_{DS} = \beta/2 \cdot (U_{GS} - U_{th})^2 \quad (\text{Gleichung 2})$$

10

wobei mit β die Steilheit des Transistors bezeichnet ist. Für diese Steilheit β kann man folgende Beziehung angeben:

$$\beta \propto w/l \cdot C'_{ox} \quad (\text{Gleichung 3})$$

15

Somit gilt:

$$M = M(U_{DS}; w/l \cdot (U_{GS} - U_{th})^2) \quad (\text{Gleichung 4})$$

20

Darin bezeichnen w : die Kanalweite; l : die Kanallänge; U_{th} : Schwellspannung; U_{GS} : Gate-Source-Spannung; U_{DS} : Drain-Source-Spannung und M : die Ladungsträgervervielfachung).

25

Durch eine Reduzierung der Kanalweite w ("Kanalweitenabschattung") erreicht man demnach eine Verminderung der Ladungsträgermultiplikation M und damit eine erhöhte Kurzschlussfestigkeit bis zu höheren Gatespannungen U_{GS} . Hier muss bemerkt werden, dass der sichere Arbeitsbereich SOA trotz der Kanalweitenabschattung unverändert bleibt, da der Drain-Source-Strom I_{DS} ein Parameter ist, der die Ladungsträgervervielfachung M direkt beeinflusst.

30

Bei reduzierter Kanalweite w nimmt das Kennlinienfeld des MOS-Transistors die in Fig. 8 gezeigte Form an. Bildlich gesprochen wird die einer festen Gatespannung U_{GS} zugeordnete

35

Kurve zu kleineren Strömen I_{DS} verschoben. Der Einschaltwiderstand R_{DS} wird dabei nicht wesentlich verschlechtert, da dieser bei Hochvoltbauteilen kaum durch Kanalgegebenheiten, sondern maßgeblich von Volumenbedingungen (Ausmaß der Epischicht) bestimmt wird. Im Volumen aber können sich die Ladungsträger, obwohl inhomogen eingespeist, ungestört ausbreiten, so dass durch die Kanalweitenabschattung keine Stromeinengung vorliegt.

10 Die beiliegende Fig. 9 veranschaulicht, wie bei einem derzeit bei der Anmelderin verwendeten Fertigungsprozess in einem Feld von MOS-Transistorzellen ein Teil der Kanalweite abgeschattet wird. Dies geschieht durch eine Lackmaske 30, die die Kanalanschlusssplantation maskiert. Fig. 9 zeigt in
15 schematischer Draufsicht die Lackmaskierung 30 über einem für den Gateanschluss in der Polysiliziumschicht 11 gebildeten Loch 13. Infolge der Lackmaske 30 wird nur ein Teil t der Kanalweite angeschlossen:

20 t = nicht abgeschattete Kanalweite/gesamte Kanalweite.

Bei einem derzeit bei Infineon Technologies, AG durchgeführten Fertigungsprozess zur Fertigung von Cool-MOS[®]-Transistorzellen ist t etwa 0,5 (zur Cool-MOS-Technologie sei verwiesen auf IEEE Transactions on Electron Devices, Volume 49, Nr. 5, Mai 2002, Bobby J. Daniel et al.: "Modelling Of The Cool MOS[™] Transistor - Part 1: Device Physics").

30 Da die oben erwähnte Lackmaske zur Abschattung der Kanalweite und der zur Bildung der Lackmaske notwendige Fotolithografieprozess die Kosten des Fertigungsprozesses erhöhen, besteht der Wunsch, ein Verfahren zur Abschattung der Kanalweite ohne Notwendigkeit der Lackmaske und der zu ihrer Herstellung notwendigen Fototechnik so zu ermöglichen, dass sich die
35 Kanalweite durch Abschattung auf einen gewünschten Anteil reduzieren lässt.

Somit zielt das erfindungsgemäße Verfahren darauf, die Lack-
maske bei der Bildung der Kanalzone zu vermeiden und die
sowieso vorhandene Polysiliziumschicht als maskenbildende
5 Schicht zu verwenden.

Demnach ist das erfindungsgemäße Verfahren dadurch gekenn-
zeichnet, dass die Polysiliziumschicht über der zu bildenden
Kanalzone strukturiert und als Maskensubstrat für die folgen-
10 de Dotierung der Kanalzone verwendet wird.

In einer ersten Ausführungsform sieht das erfindungsgemäße
Verfahren bei der Bildung der Kanalzone eines PMOS-Feld-
effekttransistors folgende Schritte vor:

15

- (A): die Polysiliziumschicht wird unter Bildung von Löchern
im Gatebereich und Säulen im Sourcebereich strukturiert;
- (B): die Kanalzone wird mit gewünschter Fremdstoffkonzentra-
20 tion unter Verwendung der in Schritt (A) strukturierten
Polysiliziumschicht als Dotierungsmaske dotiert und
- (C): die dotierte Kanalzone wird ausdiffundiert.

25

Dadurch wird die Kanalzone auch niedrig dotiert. Im Schritt
(A) kann durch die Wahl wenigstens eines der Parameter: Form,
Abstand, Anzahl und/oder Durchmesser der Löcher im Gate-
bereich sowie durch Auswahl wenigstens eines der Parameter:
Form, Abstand, Anzahl und/oder Durchmesser der Säulen im
Sourcebereich erreicht werden, dass die Fremdstoffkonzentra-
30 tion und/oder die Diffusionstiefe der Kanalzone im Schritt
(C) im Sourcebereich größer als im Gatebereich ist.

Somit bestimmen wenigstens eine der Größen Form, Abstand,
Anzahl und Durchmesser der Löcher und Säulen jeweils im Gate-
35 bereich und im Sourcebereich, dass die p-Kanalzone im Source-
bereich tiefer in die Epischicht reicht als im Gatebereich

und dass die Fremdstoffkonzentration der p-Kanalzone im Sourcebereich größer als die Fremdstoffkonzentration im Gatebereich ist.

5 Besonders bevorzugt wird das erfindungsgemäße Verfahren zur Herstellung einer Depletion-MOS-Feldeffekttransistorzelle insbesondere in der Cool-MOS®-Feldeffekttransistortechnologie angewendet.

10 Das erfindungsgemäße Verfahren dient gemäß einer zweiten Ausführungsform zur Kanalweitenabschattung integrierter PMOS-Transistorzellen und zeichnet sich durch folgende Schritte aus:

- 15 (A) in Abschnitten der über der Kanalzone liegenden Polysiliziumschicht werden Schlitzte gebildet, um die Kanalzonen benachbarter Zellen zu verbinden, und
- (B) der p-Dotierstoff wird auch in die Schlitzte im Polysilizium eingebracht, wodurch nach der Diffusion die Kanalzonen benachbarter Zellen elektrisch verbunden
- 20 sind.

Um eine gewünschte Kanalweitenabschattung zu erzielen, kann wenigstens einer der Parameter: Lage, Form, Abstand, Anzahl, Breite und/oder Länge der Schlitzte passend gewählt werden.

25 In einer alternativen Ausführungsform dient das erfindungsgemäße Verfahren zur Kanalweitenabschattung einer integrierten PMOS-Transistorzelle und zeichnet sich durch folgende Schritte aus:

- 30 (A1): innerhalb des den Sourcebereich begrenzenden Polysiliziumlochs werden Stege aus dem Polysilizium gebildet, die mit der Sourceelektrode kurzgeschlossen sind, und
- (B1): bei der Implantation des p-Dotierstoffs dienen die Stege als Maskierung.

35 Eine mit diesem Verfahren hergestellte PMOS-Transistorzelle zeichnet sich dadurch aus, dass die Transistorzelle in Ab-

schnitten der über der Kanalzone liegenden Polysiliziumschicht Schlitze oder Stege aufweist, wobei die Schlitze so eingebracht sind, dass sie die Kanalzonen benachbarter Transistorzellen verbinden und die Stege aus Polysilizium bestehen und innerhalb des den Sourcebereich begrenzenden Polysiliziumlochs liegen und mit der Sourceelektrode kurzgeschlossen sind.

Besonders bevorzugt ist die genannte PMOS-Transistorzelle gemäß der Erfindung eine vertikale Depletion-MOSFET-Transistorzelle, z.B. eine Cool-MOS[®]-FET-Transistorzelle.

Weitere Merkmale, Vorteile und Alternativen ergeben sich aus der nachfolgenden Beschreibung, die unter Bezug auf die Zeichnung bevorzugte Ausführungsbeispiele beschreibt. Die Zeichnungsfiguren zeigen im Einzelnen:

Fig. 1A und 1B anhand eines schematischen Querschnitts durch einen Abschnitt einer PMOS-FET-Transistorzelle zwei aufeinander folgende Schritte des erfindungsgemäßen Verfahrens zur Bildung einer geringer dotierten Kanalzone;

Fig. 1C eine perspektivische Darstellung des Abschnitts einer PMOS-FET-Zelle gemäß Fig. 1B;

Fig. 2A eine schematische Draufsicht auf ein Feld von MOS-FET-Transistorzellen, deren Kanalweite mittels einer ersten Alternative des erfindungsgemäßen Verfahrens abgeschattet ist;

Fig. 2B eine schematische Draufsicht wie Fig. 2A mit einer Kanalweitenabschattung eines MOSFET-Transistorzellenfelds gemäß einer zweiten Alternative des erfindungsgemäßen Verfahrens;

Fig. 3 eine schematische Draufsicht wie Fig. 2A mit einer Kanalweitenabschattung eines MOSFET-Transistorzellenfelds gemäß einer dritten Alternative des erfindungsgemäßen Verfahrens;

Fig. 4 eine schematische Draufsicht auf eine MOSFET-Transistorzelle, die eine weitere Variante einer Kanalweitenabschattung veranschaulicht;

Fig. 5 eine Schnittansicht längs der Schnittlinie V-V der in Fig. 4 gezeigten FET-Zelle;

Fig. 6 eine schematische Draufsicht auf eine FET-Zelle, die eine Designvariante der Kanalweitenabschattung gemäß Fig. 4 zeigt;

Fig. 7 graphisch das bereits beschriebene Kennlinienfeld eines MOS-Feldeffekttransistors;

Fig. 8 graphisch ein Kennlinienfeld für einen MOS-Feldeffekttransistor mit Kanalweitenabschattung (bereits beschrieben) und

Fig. 9 eine schematische Draufsicht auf zwei benachbarte Feldeffekttransistorzellen, die die bereits beschriebene herkömmliche Methode zur Kanalweitenabschattung veranschaulicht.

Hier ist zu bemerken, dass die nachfolgend beschriebenen Ausführungsbeispiele einen vertikalen PMOS-Transistor bzw. vertikale PMOS-Transistorzellen betreffen, dass jedoch das erfindungsgemäße Verfahren vorteilhaft auch bei lateralen MOS-Transistoren und auch bei Bipolartransistoren wie zum Beispiel IGBTs und normalen MOS-Transistoren anwendbar ist.

Zunächst wird anhand der Fig. 1A - 1C eine erste Ausführungsform eines erfindungsgemäßen Verfahrens zur Bildung einer Kanalzone eines PMOS-Feldeffekttransistors beschrieben.

- 5 Zunächst werden gemäß Fig. 1A im Gatebereich Löcher 2 und im Sourcebereich Stäbe 1 in einer Polysiliziumschicht 11 gebildet. Die Löcher 2 und die Stäbe 1 gehen bis auf die Ebene einer n-Epischicht 10, in der eine einen p-Kanal definierende p-Wanne gebildet werden soll. Die Löcher 2 im Gatebereich 8 und die Stäbe 1 im Sourcebereich 7 dienen als Maske für einen
10 anhand der Fig. 1B veranschaulichten Dotierungsschritt. Wenigstens einer der Parameter Form, Abstand, Anzahl und Durchmesser jeweils der Löcher 2 und der Stäbe 1 ist maßgeblich für das sich nach der Diffusion gemäß Fig. 1B einstellende
15 Dotierungsprofil der p-Kanalzone. Gemäß Fig. 1B, die den Zustand der Feldeffekttransistorzelle nach der Diffusion zeigt, ist der Abschnitt 12A (Body) im Sourcebereich 7 p⁺-dotiert und reicht tiefer in die n-Epischicht 10 als der Abschnitt 12b der p-Kanalzone im Gatebereich 8. Dort ist der
20 Abschnitt 12b der p-Kanalzone p⁻-dotiert. In dem p⁻-Bereich 12b kann dann eine n⁻-Depletion-Implantation zur Bildung einer Gateelektrode 14 für einen Depletion-FET durch eine maskierte oder ganzflächige AS- oder P-Implantation erfolgen. Im Sourcebereich kann dann in üblicher Weise eine Source-
25 elektrode 13 implantiert werden.

- Eine beispielhafte Form und Anordnung von Löchern 2 im Gatebereich 8 und von Stäben 1 im Sourcebereich 7 zeigt die angeschnittene perspektivische Ansicht der Fig. 1C. Selbstver-
30 ständlich ist diese Form und Anordnung von Löchern 2 und Stäben 1 lediglich beispielhaft, und es sollte deutlich sein, dass durch Wahl wenigstens eines der Parameter Form, Abstand, Anzahl und/oder Durchmesser der Löcher im Gatebereich 8 und der Säulen 1 im Sourcebereich 7 das Dotierungsprofil jeweils
35 der p-Kanalzone 12b im Gatebereich 8 und der p⁺-Kanalzone 12a im Sourcebereich 7 einstellbar ist. Fig. 1C zeigt auch den

unterhalb des tiefreichenden p^+ -Bodybereichs in die Tiefe der n-Epischicht 10 gehenden säulenförmigen p-Leitungsabschnitt 16 einer vertikalen MOS-FET-Zelle, zum Beispiel einer Cool-MOS[®]-FET-Zelle.

5

Zu erwähnen ist, dass die n^+ -Sourceelektrode 13 wie gewohnt durch Spacertechnik oder auch in anderer Weise erzeugt werden kann.

10

Weiterhin wird bezogen auf die Fig. 2A, 2B bis 6 ein Verfahren zur Kanalweitenabschattung bei einem beispielhaften vertikalen PMOS-Transistor beschrieben, was durch Schlitzte 20 (Fig. 2A, 2B und 3) im Polysilizium 11 oder durch Stege 22 aus Polysilizium 11 innerhalb des Polylochs 13 (Fig. 4 bis 6) ausgeführt wird.

15

20

Das erfindungsgemäße Verfahren zur Kanalweitenabschattung zielt darauf, den Widerstand des Kanals oder der Zuleitung auf einem Anteil der Kanalweite merklich zu erhöhen. Gemäß den Fig. 2A, 2B und 3 sind die entsprechenden Kanalbereiche benachbarter Zellen über ein p-dotiertes Gebiet miteinander verbunden. Durch diese Verbindung tritt kein stetiges Potentialgefälle im p-dotierten Gebiet auf und der Kanal erscheint damit in diesen Bereichen unendlich lang. Damit ist für Ladungsträger eine eingeschränkte oder abgeschattete Kanalweite nutzbar. Bei der Implantation zur Herstellung der Kanalgebiete wird somit der p-Dotierstoff (z.B. AS oder P) auch in die Schlitzte 20 eingebracht, wodurch die eigentlichen Kanalbereiche benachbarter Zellen verbunden werden. Bei diesem Verfahren könnte der Gatewiderstand ein Problem darstellen. Der Erhöhung des Gatewiderstandes kann durch einen Gatering entgegengewirkt werden. Die in Fig. 2B gezeigte Variante unterscheidet sich von der in Fig. 2A darin, dass dort der Gatewiderstand geringer reduziert ist. Die in Fig. 3 gezeigte Variante unterscheidet sich von den Ausführungen der Fig. 2A und 2B in der günstigeren Form der Schlitzte 20, die sich teilwei-

25

30

35

se um die Sechseckform der Polylöcher 13 herum krümmen. Pro Polyloch 13 sind zwei derartige Schlitz 20 aus Symmetriegründen so vorgesehen, dass immer nur ein Schlitz 20 zum benachbarten sechseckigen Polyloch 13 weist.

5

Neben der Einsparung der eingangs anhand der Fig. 9 beschriebenen Fototechnik zur Bildung der Lackmaske 30 ergibt sich mit dem vorgeschlagenen Verfahren ein weiterer bedeutender Vorteil für die Leistungsfähigkeit des Transistors: Die Gatekapazität des Transistors wird massiv verringert, da p-dotierte Bereiche dieser Kapazität nicht zuzurechnen sind.

10

15

Außer der in den Fig. 2A, 2B und 3 veranschaulichten Ausführungsform einer erfindungsgemäßen Kanalweitenabschattung gibt es auch die Möglichkeit, nur einen Teil des Kanalanschlusses (Sourcebereich) innerhalb der Transistorzelle abzuschatten. Diese Ausführungsform ist anhand der Fig. 4 bis 6 veranschaulicht. Hier werden innerhalb des Polylochs 13 Stege 22 aus Polysilizium stehen gelassen, welche mit dem Sourcekanalanschluss kurzgeschlossen sind. Diese Polystege 22 dienen als Maskierung für die Arsenimplantation. Allerdings besteht bei dem anhand der Fig. 4 bis 6 veranschaulichten Verfahren der Nachteil, dass die Kontaktlochform verschlechtert ist und damit eine Pentodengefährdung besteht.

20

25

30

35

Während Fig. 4 eine schematische Draufsicht auf eine erfindungsgemäß in ihrer Kanalweite abgeschattete FET-Transistorzelle zeigt, veranschaulicht Fig. 5 eine Schnittansicht durch dieselbe FET-Transistorzelle entlang der in Fig. 4 gestrichelt eingezeichneten Schnittlinie V-V. Von unten nach oben sind gezeigt, die n-Epischicht 10, die p-Wanne 12, Arsenimplantationsbereiche 21, die Polysiliziumschicht 11, die als Source und Gateanschluss dient, die Stege 22 im Polyloch 13, die von der Polysiliziumschicht 11 beabstandet sind, ein Zwischenoxid 18 und eine Metallschicht 17 zur Kontaktierung der Gateelektrode/Sourceelektrode und der Polystege 22. Die

Metallschicht 17 geht durch das Polyloch 13 und kontaktiert die p-Wanne 12.

5 Es ist zu bemerken, dass verschiedene Versuche mittlerweile daraufhin deuten, dass die Steilheit β des Transistors auch mittels des Zuleitungswiderstandes (AS-Implantationen) gut variiert werden kann. Dies könnte zum Beispiel bedeuten, p^{++} mit einer höheren Dosis zu versehen. Allerdings könnte sich diese Maßnahme sehr nachteilig auf den Einschaltwiderstand
10 R_{on} auswirken.

Das oben beschriebene und anhand der Fig. 2A, 2B bis 6 veranschaulichte erfindungsgemäße Verfahren zur Kanalweitenabschattung integrierter PMOS-Transistorzellen hat den Vorteil,
15 dass eine volle Fotolithografieebene eingespart wird und dass die Gatekapazität des Transistors massiv verringert wird. Mit diesen Vorteilen kann ein mittels des erfindungsgemäßen Verfahrens verbesserter Cool-MOS[®]-Transistor in Marktsegmente vorstoßen, die bislang als nicht erreichbar galten. Ähnliche
20 Vorteile, wie sie oben für vertikale MOSFETs beschrieben wurden, gelten auch für laterale MOSFETs und für IGBTs.

Patentansprüche

1. Verfahren zur Bildung einer Kanalzone (12; 12A, 12B) eines Transistors unter einer Polysiliziumschicht (11),
5 d a d u r c h g e k e n n z e i c h n e t ,
dass die Polysiliziumschicht (11) über der zu bildenden Kanalzone (12; 12a, 12b) strukturiert und als Maskensubstrat für die folgende Dotierung der Kanalzone (12a, 12b) verwendet wird.

10 2. Verfahren nach Anspruch 1,
d a d u r c h g e k e n n z e i c h n e t ,
dass es im Falle eines PMOS-Feldeffekttransistors folgende Schritte aufweist:

15 (A): die Polysiliziumschicht (11) wird unter Bildung von Löchern (2) im Gatebereich (8) und Säulen (1) im Sourcebereich (7) strukturiert;

(B): die Kanalzone (12a, 12b) wird mit gewünschter Fremdstoffkonzentration unter Verwendung der in Schritt (A) strukturierten Polysiliziumschicht (11) als Dotierungsmaske dotiert und
20

(C): die dotierte Kanalzone wird ausdiffundiert.

25 3. Verfahren nach Anspruch 2,
d a d u r c h g e k e n n z e i c h n e t ,
dass in Schritt (A) wenigstens einer der Parameter: Form, Abstand, Anzahl und Durchmesser der Löcher (2) im Polysilizium (11) im Verhältnis zu wenigstens einem der Parameter: Form, Abstand, Anzahl und/oder Durchmesser der Säulen (1) im
30 Sourcebereich (7) so gewählt wird, dass nach der Ausdiffusion in Schritt (C) die Fremdstoffkonzentration der Kanalzone (12a) im Sourcebereich (7) größer als im Gatebereich (8) ist.

35 4. PMOS-Feldeffekttransistorzelle mit einer unter einer Polysiliziumschicht (11) liegenden p-Kanalzone (12a, 12a),
d a d u r c h g e k e n n z e i c h n e t ; dass

- die Polysilizium-Schicht (11) im Gatebereich (8) Löcher (2) und im Sourcebereich (7) Säulen (1) aufweist und die p-Kanalzone (12a) im Sourcebereich (7) tiefer in die n-Epischicht (10) als im Gatebereich (8) reicht und die Fremdstoffkonzentration der p-Kanalzone (12a) im Sourcebereich (7) größer als die Fremdstoffkonzentration der p-Kanalzone (12b) im Gatebereich (8) ist.

5. PMOS-Transistorzelle nach Anspruch 4,

d a d u r c h g e k e n n z e i c h n e t ,
dass sie eine vertikale Depletion-MOS-Feldeffekttransistorzelle insbesondere Cool-MOS[®]-Zelle ist.

6. Verfahren nach Anspruch 1,

d a d u r c h g e k e n n z e i c h n e t ,
dass es zur Kanalweitenabschattung integrierter PMOS-Transistorzellen dient und folgende Schritte aufweist:

(A) in Abschnitten der über der Kanalzone (12) liegenden Polysiliziumschicht (11) werden Schlitze (20) gebildet, um die Kanalzonen (12) benachbarter Zellen zu verbinden, und

(B) der p-Dotierstoff wird auch in die Schlitze (20) in Polysilizium eingebracht, wodurch nach der Diffusion die Kanalzonen benachbarter Zellen elektrisch verbunden sind.

7. Verfahren nach Anspruch 1,

d a d u r c h g e k e n n z e i c h n e t ,
dass es zur Kanalweitenabschattung einer integrierter PMOS-Transistorzelle dient und folgende Schritte aufweist:

(A1): innerhalb des den Sourcebereich begrenzenden Polysiliziumlochs (13) werden Stege (22) aus dem Polysilizium (11) gebildet und mit der Sourceelektrode kurzgeschlossen, und

(B1): bei der Implantation des p-Dotierstoffs dienen die Stege (22) als Maskierung.

8. Verfahren nach Anspruch 6 oder 7,

d a d u r c h g e k e n n z e i c h n e t ,

dass wenigstens einer der Parameter: Lage, Form, Abstand,

5 Anzahl, Breite und/oder Länge der Schlitze (20) bzw. Stege

(22) so gewählt ist, dass eine gewünschte Kanalweitenabschattung erzielt wird.

9. PMOS-Transistorzelle,

10 d a d u r c h g e k e n n z e i c h n e t ,

dass die PMOS-Transistorzelle in Abschnitten der über der

Kanalzone (12) liegenden Polysiliziumschicht (11) Schlitze

(20) oder Stege (22) aufweist, wobei die Schlitze (20) bzw.

Stege (22) so eingebracht sind, dass sie die Kanalzonen be-

15 nachbarter Transistorzellen verbinden und die Stege (22)

stehengebliebene Ausschnitte der Polysiliziumschicht (11)

sind, innerhalb des den Sourcebereich begrenzenden Polysili-

ziumlochs (13) liegen und mit der Sourceelektrode

kurzgeschlossen sind.

20

10. PMOS-Transistorzelle nach Anspruch 9,

d a d u r c h g e k e n n z e i c h n e t ,

dass sie eine vertikale Depletion-MOSFET-Transistorzelle ist.

Zusammenfassung

Verfahren zur Bildung einer Kanalzone eines Transistors und PMOS-Transistor

5

Die Erfindung betrifft allgemein Verfahren zur Bildung einer Kanalzone bei Feldeffekttransistoren. Eine Polysiliziumschicht (11) wird über der zu bildenden Kanalzone (12a, 12b) strukturiert und dient als Maskensubstrat für die nachfolgende Dotierung der Kanalzone (12a, 12b). Durch die zweckmäßige Strukturierung der Polysiliziumschicht (11) mit Löchern (2) in einem Gatebereich (8) und Säulen (1) in einem Sourcebereich (7) lässt sich die Kanalzone (12B) niedriger dotieren. In einer anderen Ausführungsform kann das erfindungsgemäße Verfahren für eine Kanalweitenabschattung einer PMOS-Transistorzelle verwendet werden.

10

15

(Fig. 1B)

Bezugszeichenliste

1	Säulen
2	Löcher
7	Sourcebereich
8	Gatebereich
10	n-Epischicht
11	Polysiliziumschicht
12, 12a, 12b	p-Wanne; p ⁺ -Body, p ⁻ -Kanal
13	Loch im Polysilizium
14	Gateelektrode
17	Metallschicht
18	Zwischenoxid
20	Schlitze
21	AS Implantation
22	Stege
30	Lackmaske
A, B	Arbeitspunkte
SOA	sicherer Arbeitsbereich
U _{GS}	Gate-Sourcespannung
U _{DS}	Drain-Sourcespannung
I _{DS}	Drain-Sourcestrom
I _{Nenn}	Nennstrom

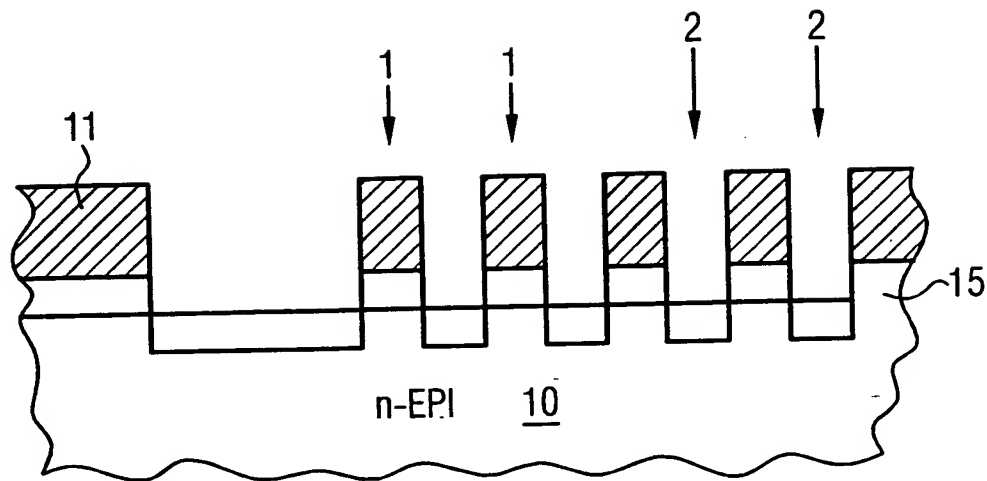


FIG. 1A

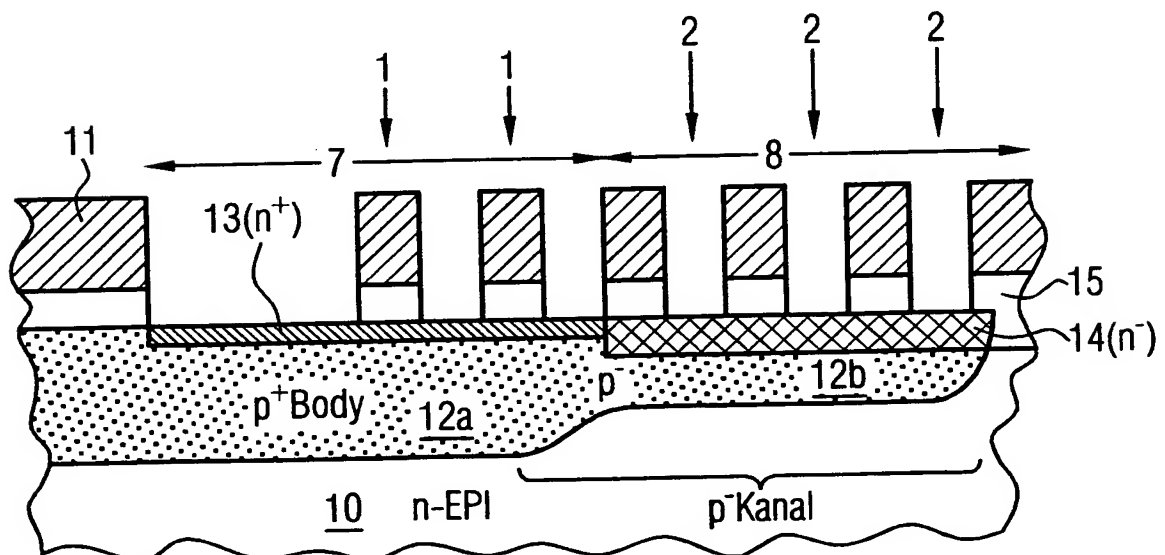


FIG. 1B

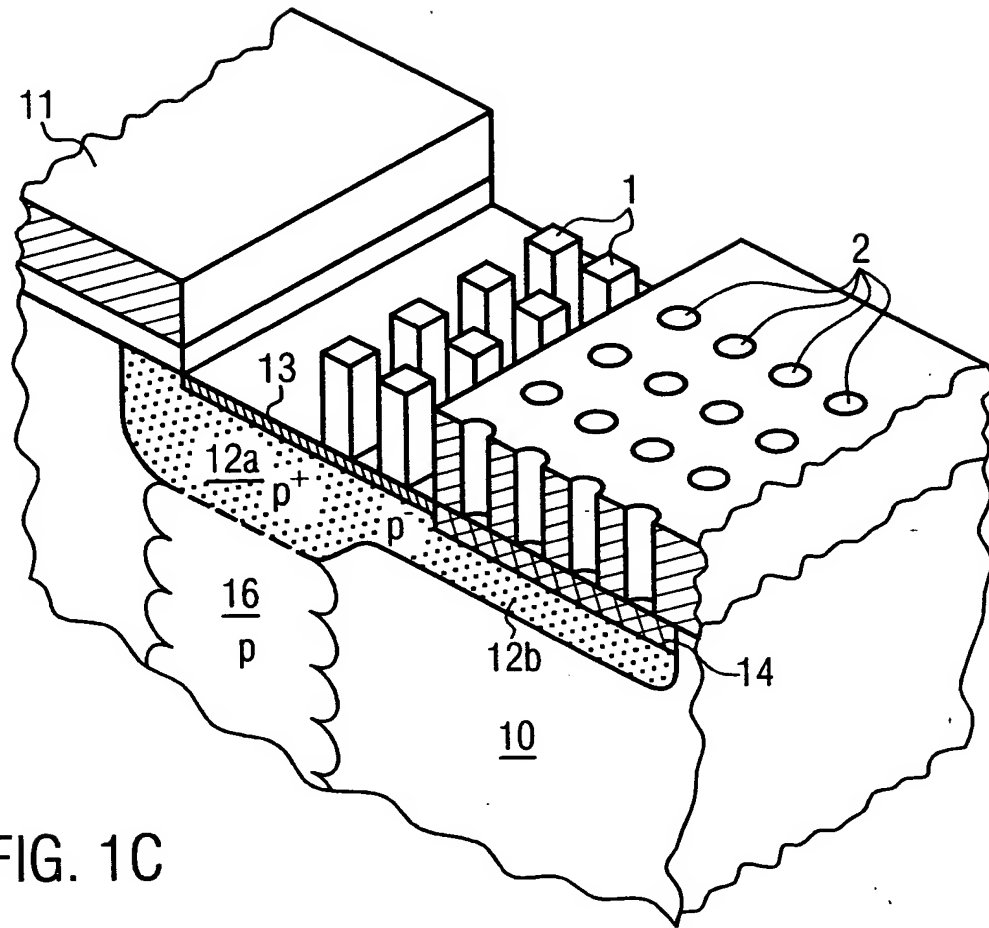


FIG. 1C

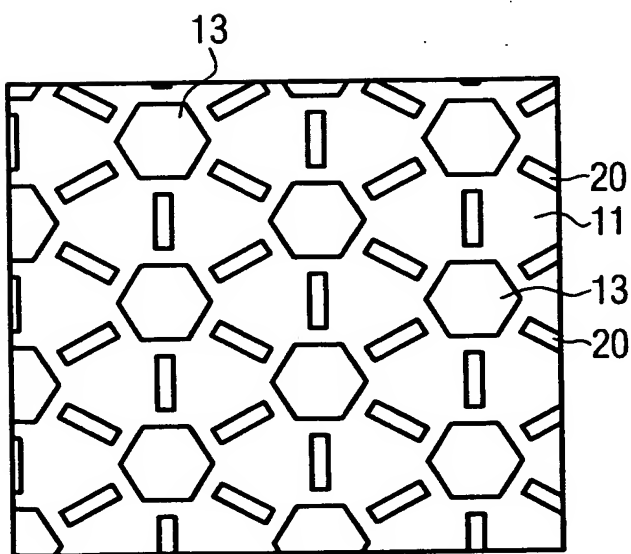


FIG. 2A

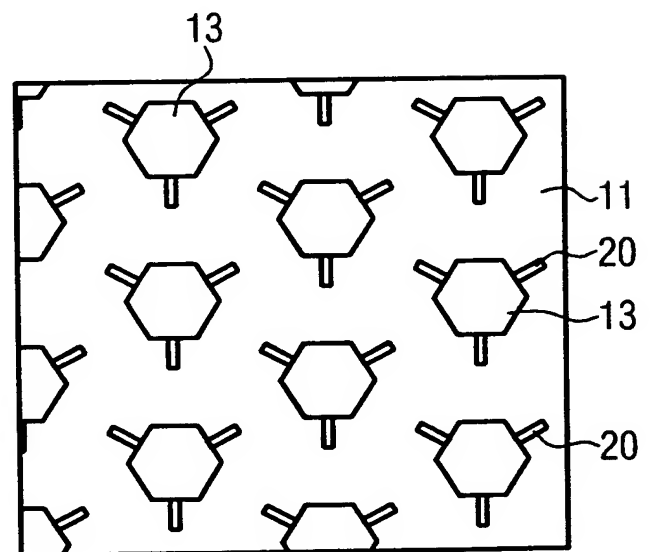


FIG. 2B

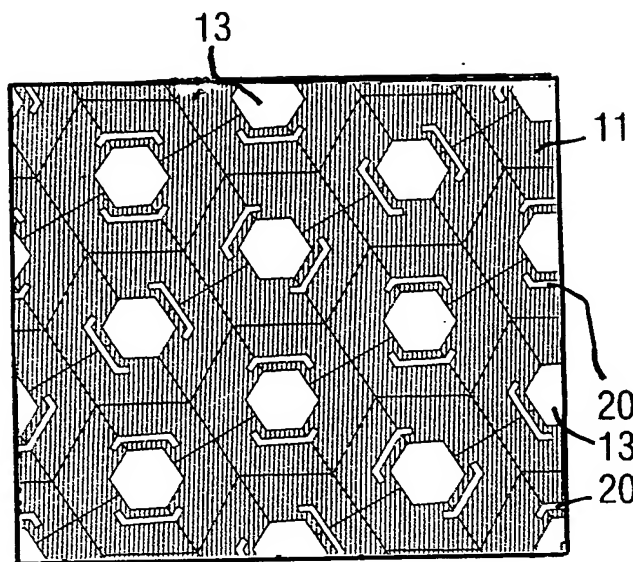


FIG. 3

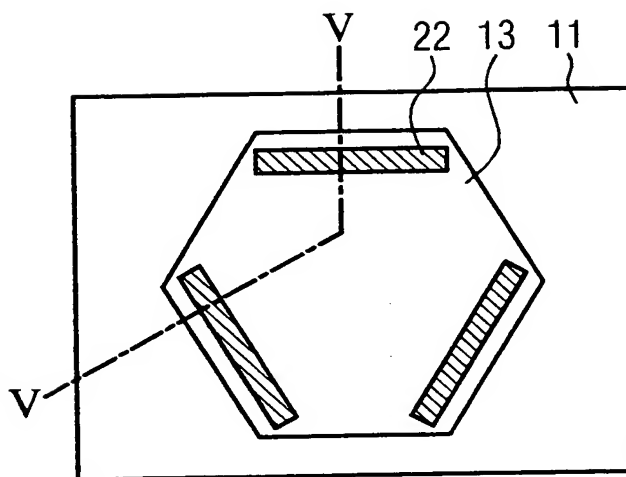


FIG. 4

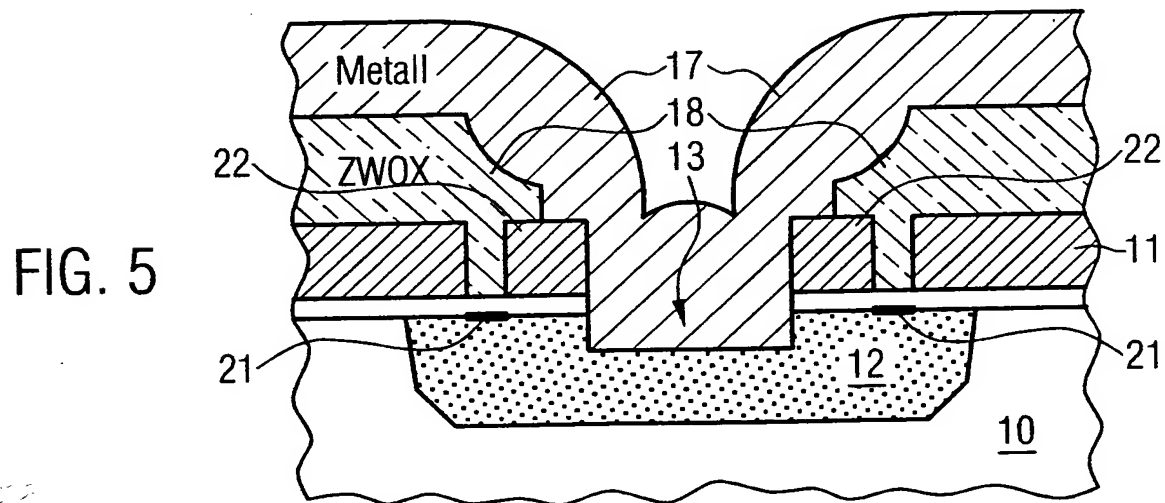


FIG. 5

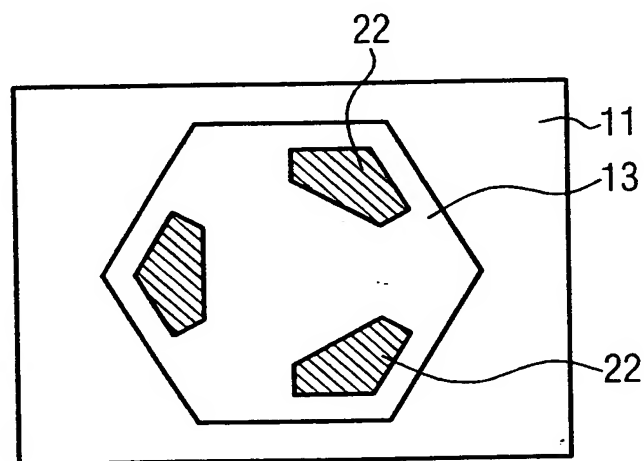


FIG. 6

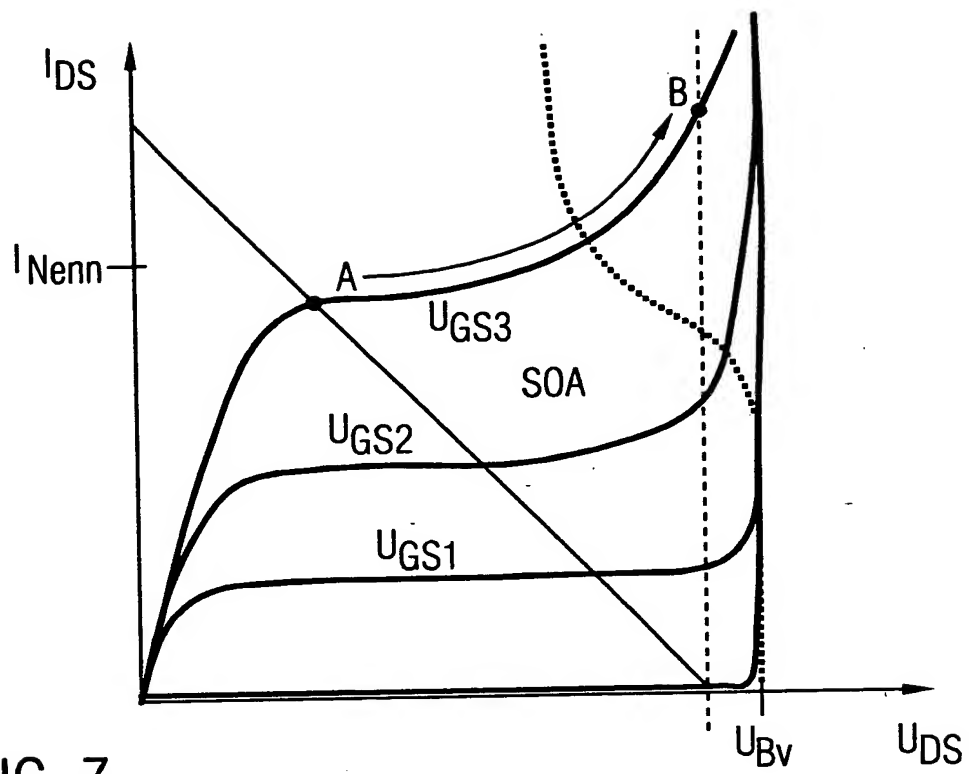


FIG. 7

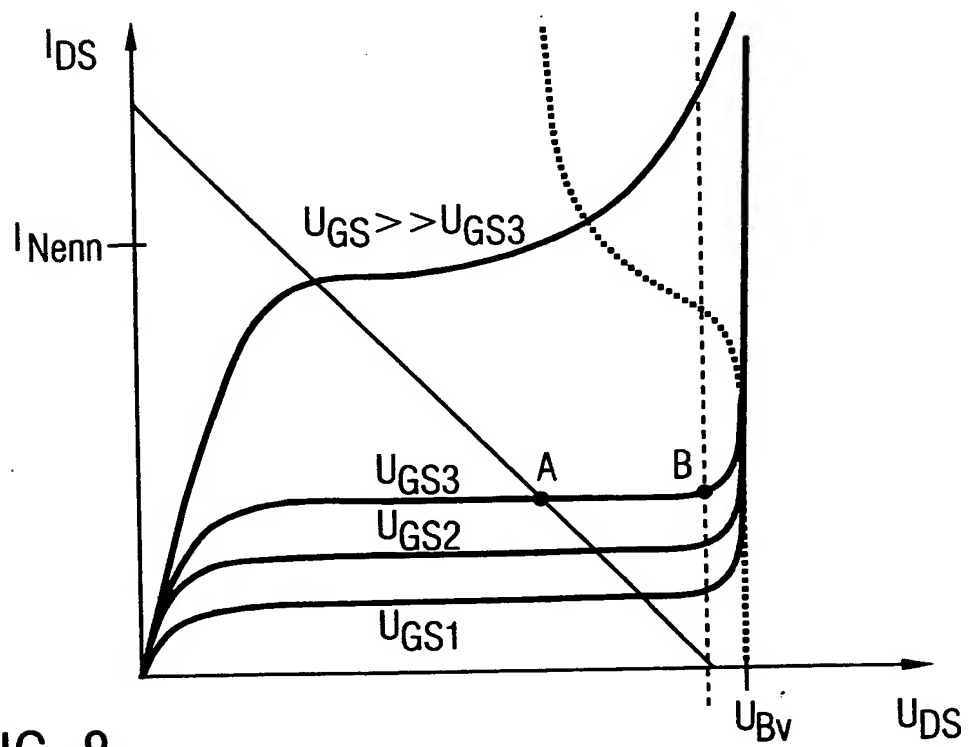


FIG. 8

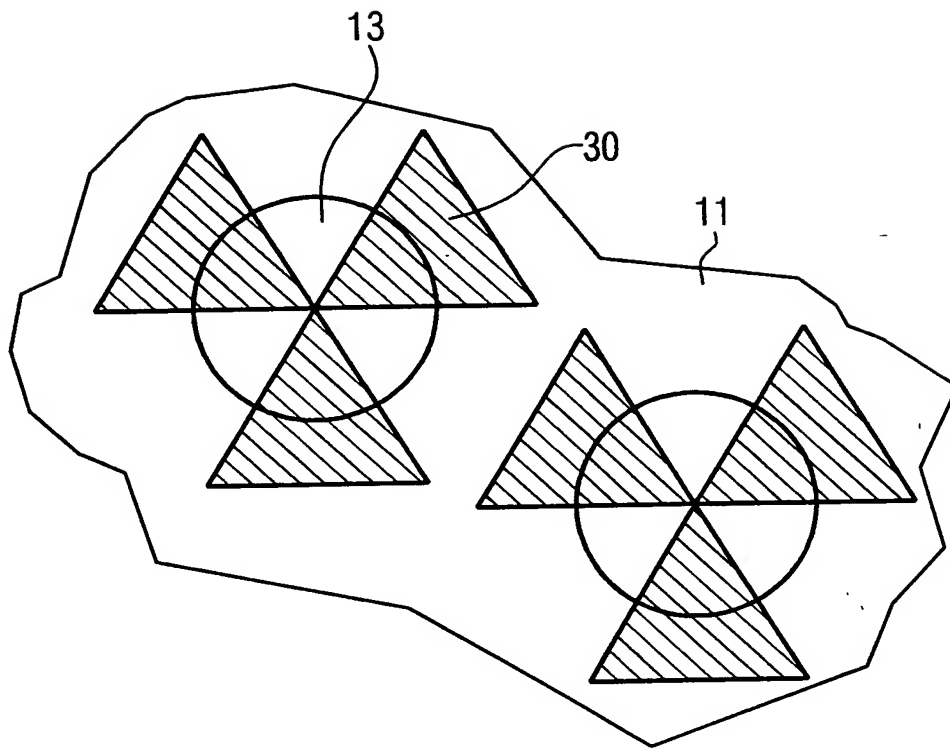


FIG. 9

Figur für die Zusammenfassung

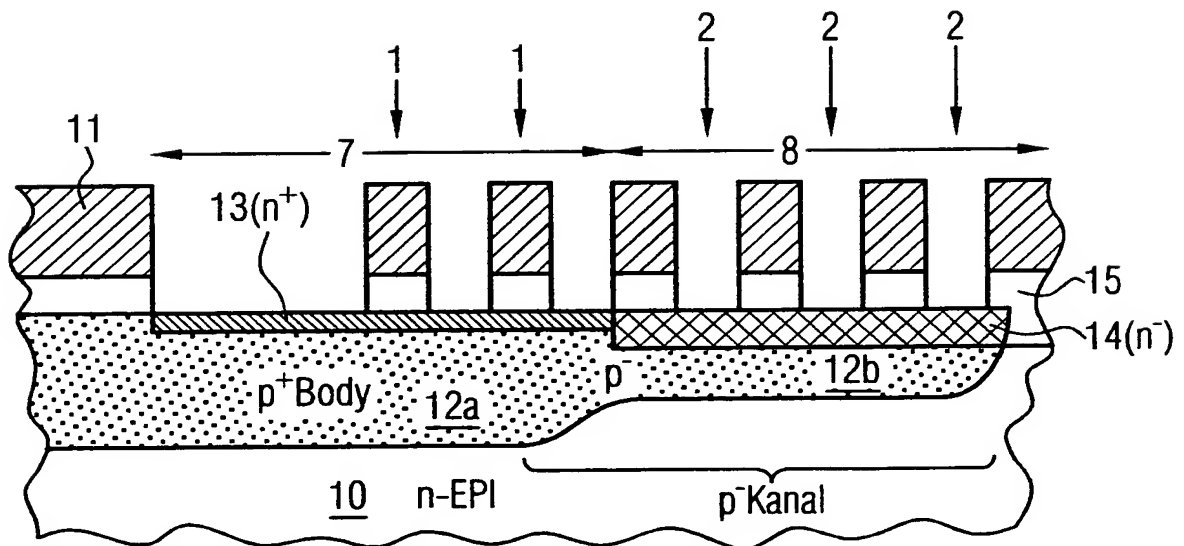


FIG. 1B